
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication

number:

1020010077518 A

(43)Date of publication of application:

20.08.2001

(21)Application number: 1020000005358

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22)Date of filing: 03.02.2000

(72)Inventor:

KIM, YUN GI
PARK, DONG GEON
PARK, JONG U

(51)Int. Cl

H01L 21/82

(54) METHOD FOR FORMING SELF-ALIGNED CONTACT STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: A method for forming a self-aligned contact structure of a semiconductor integrated circuit is provided to increase a margin for misaligning and prevent line patterns from exposing by extending a narrow contact hole with a wet-etching.

CONSTITUTION: A plurality of line patterns(22) are formed on a substrate(1). A capping insulating layer(24) is formed to cover the surface of the line patterns(22) and the surface of the substrate(1). An upper interlayer insulating layer(26a) is formed on the capping insulating layer(24) to fill a gap region between the line patterns(22). The upper interlayer insulating layer(26a) and the capping insulating layer(24) are patterned, so that the first contact hole is formed between the line patterns(22). By wet-etching the upper interlayer insulating layer(26a) selectively, the first contact hole is extended, so that the second contact hole for exposing the capping insulating layer(24) on the sidewall of the line patterns(22) is formed.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020228)

Patent registration number (1003396830000)

Date of registration (20020523)

Date of opposition against the grant of a patent (00000000)

특 2001-0077518

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 21/82(11) 공개번호 특 2001-0077518
(43) 공개일자 2001년 08월 20일

(21) 출원번호	10-2000-0005358
(22) 출원일자	2000년 02월 03일
(71) 출원인	삼성전자 주식회사 韓國 경기 수원시 팔달구 매단3동 416
(72) 발명자	박종우 서울특별시 강남구 청담동 113-6번지 천도빌라 A동 402호 김운기 경기도 용인시 기흥읍 산길리 드림랜드 APT 101동 1211호 박동건 경기도 성남시 분당구 구미동 243번지 무지개마을 801-401
(74) 대리인	임창현, 권혁수

설명문 : 있음

(54) 반도체 집적회로의 자기점렬 콘택 구조체 형성방법

요약

반도체 집적회로 소자의 자기점렬 콘택 구조체의 형성방법이 제시된다. 이 방법은 기판 상에 배선패턴들을 형성하는 단계와, 기판의 표면 및 배선 패턴들의 표면을 살리운 질화층과 같은 캐핑질연층으로 덮는 단계를 포함한다. 캐핑질연층 상에 캐핑질연층에 대하여 습식식각 팬택비를 갖는 상부 풀간질연층을 형성한다. 상부 풀간질연층 및 캐핑질연층을 연속적으로 건식식각하여 기판을 노출시키고 바람직하게는 배선 패턴들을 노출시키지 않는 제1 콘택홀을 형성한다. 캐핑질연층을 식각저지층으로 사용하여 제1 콘택홀을 자기점렬 방식으로 확장시킨다. 이 확장 단계는 상부 풀간질연층을 캐핑질연층보다 더 빨리 식각시키는 습식식각용액을 사용하여 제1 콘택홀의 측벽을 습식식각함으로써 실시된다. 이 방법에서, 제1 콘택홀은 초기에 오정렬에 대한 예리가 보강되도록 형성될 것이고, 자기점렬 습식식각 단계를 사용하여 제1 콘택홀을 확장시키어 제2 콘택홀을 형성함으로써 콘택저항을 최소화시킬 수 있다.

도표도



설명서

도면의 간접화 설명

도 1은 본 발명 및 종래기술에 적용되는 일반적인 디램 셀 어레이 영역의 일부 부분을 보여주는 평면도이다.

도 2 내지 도 7은 도 1의 I-I'에 따라 본 발명에 따른 자기점렬 콘택 구조체의 형성방법을 설명하기 위한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적회로 소자의 제조방법에 관한 것으로, 특히 자기점렬 콘택 구조체의 형성방법에 관한 것이다.

マイ크로 전자 집적회로의 침적도를 증가시키기 위한 시도는 패턴들 사이의 간격이 좁아진 점점 작은 소자들의 제조에 대한 결과를 초래하였다. 이에 따라, 이를 소자들의 콘택홀의 위치를 사진공정으로 한정하기 위한 증류의 기술 또한 개선되어져야 했다. 그러한 개선은 전적으로 정밀여유도에 대한 허용오차를 감소시키는 사진공정의 개발을 포함하여 진행되었다. 다른 한편으로, 고집적 소자를 형성할 때 콘택홀의 크기를 감소시키기 위한 시도는 바람직한 기술로 채택되지 않을 것이다. 이는 콘택홀의 크기가 감소되면 콘택저항이 증가하기 때문이다.

사진공정의 정렬 허용오차를 감소시키는 기술은 마이크로 전자 소자를의 크기를 축소시키는 비율에 비례하여 감소되지 않는다. 사진공정의 정밀과 관련된 이러한 한계를 극복하기 위하여 사진공정의 정밀도에 존하지 않는 자기정렬 콘택홀 제조기술이 개발되어 왔다.

미국특허 제5,897,372호는 자기정렬 콘택홀을 형성하는 방법을 개시한다. 미국특허 제5,897,372호에 따르면, 반도체기판 상에 상부 보호층 및 흑백 스페이서에 의해 블러싸여진 게이트 전극을 형성하고, 상기 결과를 전면에 막은 실리콘 리치 실리콘질화층(silicon-rich silicon nitride layer) 및 두꺼운 중간절연층을 차례로 형성하고, 상기 중간절연층 및 상기 실리콘 리치 실리콘질화층을 차례로 건식식각하여 상기 게이트 전극을 사이의 반도체기판을 노출시키는 자기정렬 콘택홀을 형성한다. 여기서, 상기 자기정렬 콘택홀은 상기 노출된 반도체기판의 면적을 극대화시키고 정렬 여유도를 증가시키기 위하여 게이트 전극 상에 형성된 보호층의 가장자리를 노출시킨다. 이때, 상기 보호층 및 상기 스페이서를 산화층으로 형성하는 경우에는 상기 자기정렬 콘택홀을 형성하기 위한 건식식각 공정을 실시하는 동안 과도식각에 기인하여 게이트 전극이 노출될 수 있다. 이에 따라, 상기 보호층 및 스페이서를 중간절연층에 대하여 식각 선택비를 갖는 실리콘질화층으로 형성하거나 상기 실리콘 리치 실리콘질화층을 두껍게 형성하면, 게이트 전극이 노출되는 문제점을 해결할 수 있다. 그러나, 실리콘질화층 또는 실리콘 리치 실리콘질화층은 중간절연층으로 널리 사용되는 실리콘 산화층에 비하여 높은 유전상수를 보인다. 이에 따라, 상기 자기정렬 콘택홀을 채우는 배선 및 상기 게이트 전극 사이의 기생 커파시턴스가 증가되어 반도체소자의 전기적인 특성을 저하시킨다.

결과적으로, 이러한 자기정렬 콘택홀 제조기술은 상대적으로 큰 절렬 오차를 갖는 사진공정이 사용될 때 대체히 신뢰성이 대단한 문제점이 존재한다. 따라서, 그러한 자기정렬 기술에도 불구하고, 고집적 회로의 콘택홀을 형성하는 데 있어서 더욱 개선된 방법이 요구되고 있는 실정이다.

발명이 이루고자 하는 기술적 목표

따라서, 본 발명의 목적은 서로 인접한 두개의 도전층 사이의 기생 커파시턴스를 최소화시킬 수 있고 정렬 기술에 대한 신뢰성을 개선시킬 수 있는 자기정렬 콘택 구조체의 형성방법을 제공하는 데 있다.

본 발명의 다른 목적은 콘택저항을 최소화시킬 수 있는 자기정렬 콘택 구조체의 형성방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 이를 목적을 및 특징들은 접적회로 소자의 자기정렬 콘택 구조체의 형성방법들에 의해 제공될 수 있다. 이를 방법들은 콘택홀들이 하부의 접적회로 소자의 구조체들에 대하여 오정렬되어질 수 있는 가동성을 감소시킴으로써 공정의 신뢰성을 개선시킨다. 본 발명의 일상시에 따르면, 자기정렬 콘택 구조체의 형성방법은 기판 상에 복수개의 배선패턴들을 형성하는 단계와, 상기 배선패턴들의 표면 및 상기 기판의 표면을 캐핑질연층(capping insulating layer)으로 덮는 단계를 포함한다. 다음에, 상기 캐핑질연층 상에 상기 배선패턴을 사이의 겹 영역을 채우는 상부 중간절연층(upper inter-layer insulating layer)을 형성한다. 여기서, 상기 상부 중간절연층 및 상기 캐핑질연층을 연속적으로 건식식각하여 상기 기판을 노출시키는 제1 콘택홀을 형성한다. 상기 제1 콘택홀은 상기 배선패턴들을 노출시키지 않는 것이 바람직하다. 이 실시예에 있어서, 상기 캐핑질연층은 실리콘질화층으로 형성할 수 있다. 상기 캐핑질연층을 석각저지층으로 사용하여, 자기정렬 방식으로 상기 제1 콘택홀을 확장시킨다. 특히, 상기 캐핑질연층을 석각저지층으로 사용하여, 자기정렬 방식으로 상기 제1 콘택홀의 측벽을 슬식식각함으로써 상기 캐핑질연층이 노출되도록 상기 제1 콘택홀을 확장시키며 제2 콘택홀을 형성한다. 이 방법에서, 오정렬에 대한 가능성을 근본적으로 보상하는 자기정렬 콘택홀이 형성될 수 있고, 자기정렬되는 습식식각 단계가 제1 콘택홀을 확장시키며 상기 확장된 제2 콘택홀 내에 저저항 콘택(즉, 콘택 플러그)이 제작될 수 있다. 이 확장 단계를 실시하는 동안, 습식식각용액의 선택비가 높으므로 상기 배선패턴들이 제2 콘택홀에 의해 노출될 가능성을 감소시킨다.

본 발명의 다른 태양에 따르면, 상기 제2 콘택홀을 형성하는 단계 후에 상기 제2 콘택홀의 흑백 상에 산화층 스페이서(oxide spacer)를 형성하는 단계와, 상기 산화층 스페이서를 식각 마스크로 사용하여 상기 기판의 반대편에 면장된 상기 캐핑질연층의 돌출부(protrusion)를 식각하는 단계를 실시하는 것이 바람직하다. 이 후자의 면속적인 단계들은 상기 제2 콘택홀에 의해 노출되는 기판의 면적을 증가시키기 위하여 실시되며, 후속공정에서 형성되는 콘택 플러그 및 상기 기판 사이의 콘택저항을 감소시킨다.

본 발명의 다른 실시예에 따르면, 접적회로의 메모리소자를 형성하는 바람직한 방법은 반도체기판 상에 하부 중간절연층(lower inter-layer insulating layer)을 형성하는 단계와, 상기 하부 중간절연층 내에 패드 콘택홀을 형성하는 단계를 포함한다. 상기 패드 콘택홀 내에 통상의 방법을 사용하여 패드 틀리그를 형성한다. 여기서, 상기 하부 중간절연층의 상부 표면 상에 서로 미웃는 제1 및 제2 비트라인 패턴들을 형성한다. 계속해서, 상기 패드 틀리그 및 상기 제1 및 제2 비트라인 패턴들을 덮는 캐핑질연층을 형성한다. 상기 캐핑질연층 상에 상부 중간절연층을 형성한다. 상기 상부 중간절연층 및 상기 캐핑질연층을 형성한다. 상기 캐핑질연층 상에 상부 중간절연층을 형성한다. 상기 캐핑질연층을 형성한다. 이어서, 상기 캐핑질연층을 보다 상기 상부 중간절연층 더 빨리 식각시키는 식각용액으로 상기 제1 콘택홀의 측벽을 쟁으로 식각함으로써 바람직한 자기정렬 방식으로 상기 비트라인 패턴의 흑백 상의 상기 캐핑질연층을 노출시키는 제2 콘택홀을 형성한다. 다음에, 상기 제2 콘택홀의 측벽 상에 산화층 스페이서를 형성한다. 상기 산화층 스페이서를 형성한 후에 상기 캐핑질연층을 다시 식각하여 상기 제1 부분보다 더 큰 상기 패드 틀리그의 제2 부분을 노출시킨다. 이 단계는 상기 산화층 스페이서를 식각 마스크로 사용하여 실시하는 것이 바람직하다. 다른 한편으로, 상기 캐핑질연층에 대하여 낮은 식각 선택비를 보이는 식각 공정을 사용하여 상기 산화층 스페이서를 형성할 수도 있다. 이 경우에, 상기 산화층 스페이서가 형성됨과 동시에 상기 캐핑질연층이 식각된다. 따라서, 상기 캐핑질연층을 추가로 식각하기 위한 별도의 식각 공정이 요구되지 않는다. 이어서, 상기 제2 콘택홀 내부에 콘택 플러그를 형성한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여

가시 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 험저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 총 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 총이 다른 총 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 총 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 총이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들을 동일한 구성요소들을 나타낸다.

도 1은 일반적인 디램 소자의 실 마레이 영역의 일 부분에 대한 평면도이다.

도 1을 참조하면, P형의 반도체기판의 소정영역에 활성영역(2)이 한정되고, 상기 활성영역(2)를 가로지르는 한 쌍의 워드라인들(4a, 4b)이 배치된다. 상기 활성영역(2)의 주변영역에는 소자분리막이 형성된다. 상기 한 쌍의 워드라인들(4a, 4b) 사이의 활성영역(2)은 N형의 불순률로 도우핀된 공통 드레인 영역(6d)에 해당한다. 상기 한 쌍의 워드라인들(4a, 4b)은 제1 워드라인(4a)의 양 옆의 활성영역들 중 공통 드레인 영역(6d)과 마주보는 활성영역(2)은 N형의 불순률로 도우핀된 제1 소오스 영역(6s')에 해당한다. 또한, 상기 제2 워드라인(4b)의 양 옆의 활성영역들 중 상기 공통 드레인 영역(6d)과 마주보는 활성영역(2)은 N형의 불순률로 도우핀된 제2 소오스 영역(6s')에 해당한다.

상기 제1 소오스 영역(6s') 상에는 상기 제1 소오스 영역(6s')과 전기적으로 연결된 제1 스토리지 노드 패드(10a), 즉 제1 패드 플리그가 배치되고, 상기 제2 소오스 영역(6s') 상에는 상기 제2 소오스 영역(6s')과 전기적으로 연결된 제2 스토리지 노드 패드(10b), 즉 제2 패드 플리그가 배치된다. 또한, 상기 공통 드레인 영역(6d) 상에는 상기 공통 드레인 영역(6d)과 전기적으로 연결된 비트라인 패드(10d)가 배치된다. 상기 비트라인 패드(10d)는 상기 공통 드레인 영역(6d)의 한 쪽 옆을 향하여 연장된 툴출부를 포함한다. 상기 한 쌍의 워드라인들(4a, 4b)을 가로질러 상기 활성영역(2)의 양 옆에 각각 제1 및 제2 비트라인들(19)이 배치된다. 상기 제1 비트라인(19)은 상기 비트라인 패드(10d)의 툴출부를 노출시키는 비트라인 콘택홀(14)을 통하여 상기 비트라인 패드(10d)와 전기적으로 연결된다. 이와 마찬가지로, 상기 제2 비트라인(19)은 다른 비트라인 패드(도시하지 않음)와 전기적으로 연결된다.

도 2 내지 도 7은 도 1의 1-1에 따라 본 발명에 따른 자기점퍼 콘택 구조체의 형성방법을 설명하기 위한 단면도들이다.

도 2를 참조하면, 자기점퍼 콘택홀을 갖는 접점회로 소자의 바탕직한 제조방법은 P형 반도체기판(1)의 소정영역에 활성영역을 한정하는 소자분리층(2a)을 형성한다. 상기 활성영역을 가로지르는 한 쌍의 워드라인들(도 1의 4a 및 4b)을 형성한다. 상기 각 워드라인의 양 옆의 활성영역에 N형의 불순률을 주입하여 소오스/드레인 영역(도 1의 6d, 6s 및 6s')을 형성한다. 상기 소오스/드레인 영역들이 형성된 결과를 전면에 하부 층간절연층(8)을 형성한다. 상기 하부 층간절연층(8)은 BPSG층, PSG층, 또는 인도무프트 산화층(USG)으로 형성될 수 있다. 통상의 시전공정으로 마스크를 실시하여 상기 하부 층간절연층(8) 내에 패드 콘택홀(9)을 형성한다. 이 패드 콘택홀(9)은 상기 소오스/드레인 영역들을 노출시킨다. 상기 하부 층간절연층(8) 상부 및 상기 패드 콘택홀(9) 내에 폴리실리콘층을 전면 증착한다. 이 폴리실리콘층은 N형 불순률로 도우핀된 뿐만 아니라 도전성의 폴리실리콘층일 수 있다. 이어서, 상기 하부 층간절연층(8)을 평탄화 저지층으로 사용하여 상기 폴리실리콘층을 평탄화시킨다. 이 평탄화 단계는 하부의 제1 소오스 영역(6s'), 제2 소오스 영역(6s'), 및 공통 드레인 영역(6d)에 대하여 높은 도전성의 콘택 역할을 하는 패드 플리그들(도 1의 10a, 10b 및 10d)을 형성하는 결과를 조리한다.

도 3를 참조하면, 도시된 바와 같이 상기 패드 플리그들(10a, 10b, 10d) 및 상기 하부 층간절연층(8) 상에 절연층(12), 바탕직하게는 고온산화층(HTO)과 같은 실리콘 산화층을 형성한다. 상기 절연층(12)을 패터닝하여 상기 비트라인 패드(도 1의 10d)를 노출시키는 비트라인 콘택홀(도 1의 14)을 형성한다. 상기 비트라인 콘택홀이 형성된 결과를 전면에 도전층(19) 및 보호층(protect ion layer, 20)을 차례로 형성한다. 상기 도전층(19)은 폴리실리콘층(16) 및 금속 실리사이드층(18)을 차례로 적층시키며 형성하는 것이 바탕직하고, 상기 보호층(20)은 고온산화층(HTO)과 같은 실리콘 산화층으로 형성하는 것이 바탕직하다. 상기 보호층(20)은 실리콘 절화층 또는 실리콘 옥시나이트리아이드층으로 형성할 수도 있다. 상기 금속 실리사이드층(18)은 텁스텐 실리사이드층과 같은 내화성 금속 실리사이드층으로 형성한다. 상기 텁스텐 실리사이드층은 스퍼터링 공정을 사용하여 형성할 수 있다.

도 4를 참조하면, 사진/식각 공정으로 상기 보호층(20), 도전층(19) 및 절연층(12)을 연속적으로 패터닝하여 상기 비트라인 콘택홀들을 닦는 복수개의 배선패턴들, 예컨대 제1 및 제2 비트라인 패턴들(22)을 형성하고 상기 하부 층간절연층(8) 및 상기 패드 플리그들(10a, 10b, 10d)을 노출시킨다. 이를 비트라인 패턴들(22)은 3차원적으로 연장되어 서로 평행하게 형성된다. 상기 각 비트라인 패턴(22)은 차례로 적층된 절연층(12a), 비트라인(19a) 및 보호층(20a)을 포함한다. 여기서, 상기 각 비트라인(19a)은 차례로 적층된 폴리실리콘 패턴(16a) 및 텁스텐 실리사이드 패턴(18a)을 포함할 수 있다. 이 분야의 통상의 지식을 가진 자라면 누구나 알 수 있는 바와 같이 비트라인 툴질로서 텁스텐-실리사이드의 사용은 각 비트라인(19a)의 전기적인 저항을 낮춘다.

상기 하부 층간절연층(8), 패드 플리그들(10a, 10b, 10d) 및 비트라인 패턴들(22) 표면 상에, 도시된 바와 같이, 캐핑 절연층(24)을 콘포팅하게 전면 형성한다. 상기 캐핑 절연층(24)은 50 내지 100Å의 두께로 형성하는 것이 바탕직하다. 또한, 상기 캐핑 절연층(24)은 후속공정에서 형성되는 상부 층간절연층에 대하여 습식식각 선택비를 갖는 절연층, 예컨대 실리콘 절화층 또는 실리콘 옥시나이트리아이드층으로 형성하는 것이 바탕직하다. 상기 캐핑 절연층(24) 상에 상기 비트라인 패턴들(22) 사이의 갭 영역을 충분히 채우기 위하여 상대적으로 두꺼운 상부 층간절연층(26)을 형성한다. 상기 상부 층간절연층(26)은 인도무프트 산화물(USG), BPSG, PSG 및 고온산화물(HTO)로 이루어진 일 군으로부터 선택된 어느 하나의 물질을 포함할 수 있다.

도 5a를 참조하면, 상기 상부 층간절연층(26) 상에 포토레지스트 패턴(27)을 형성하여 상기 제1 및 제2 패드 플리그들(10a, 10b) 상부의 상기 상부 층간절연층(26)을 선택적으로 노출시킨다. 다음에, 상기 포토레지스트 패턴(27)을 식각 마스크로 사용하여 상기 노출된 상부 층간절연층(26) 및 캐핑 절연층(24)을 연속적으로 바탕직하게는 건식식각하여 상기 제1 및 제2 패드 플리그들(10a, 10b)의 제1 부분을 노출시키는

상대적으로 좁고 깊은 제1 콘택홀(32)을 형성한다. 이때, 상기 제1 콘택홀(32)을 형성하기 위한 건식식각 공정은 실리콘 질화층에 대하여 낮은 식각 선택비를 보이는 통상의 실리콘 산화층 식각 레서피를 사용하여 실시하는 것이 바람직하다. 좀 더 구체적으로, 상기 제1 콘택홀(32)을 형성하기 위한 건식식각 공정은 CF, 가스 또는 HF, 가스를 사용하는 실리콘 산화층 식각 레서피로 실시할 수 있다.

상기 포토레지스트 패턴(27)이 오전렬된 상태에서 상기 건식식각 단계를 실시하는 동안 상기 하부의 비트라인 패턴(22)이 노출되는 것을 방지하기 위하여 상기 제1 콘택홀(32)을 좁게 형성하는 것이 바람직하다. 상기 비트라인 패턴(22)의 노출은 활성영역에 형성되는 디램 소자와 산화층 및 수명을 감소시킬 수 있는 전기적인 불량지 및 다른 기생적인 결함을 유발시킬 수 있다.

도 5b는 상기 제1 콘택홀(32)을 좁게 형성할 수 있는 다른 하나의 방법을 설명하기 위한 단면도이다.

도 5b를 참조하면, 상기 도 5a에서 설명한 바와 같이 상기 상부 층간절연층(26) 상에 포토레지스트 패턴(27)을 형성한다. 상기 포토레지스트 패턴(27)은 약 150°C 내지 200°C의 온도에서 플로우시키아 경사진 측벽을 갖는 포토레지스트 패턴(27a)을 형성한다. 이에 따라, 상기 틀로우된 포토레지스트 패턴(27a)에 의해 노출되는 상기 상부 층간절연층(26)의 면적은 상기 포토레지스트 패턴(27)에 의해 노출되는 상기 상부 층간절연층(26)의 면적보다 작다. 상기 틀로우된 포토레지스트 패턴(27a)을 식각 마스크로 사용하여 상기 노출된 상부 층간절연층(26) 및 상기 캐핑질연층(24)을 연속적으로 건식식각하여 상대적으로 좁은 제1 콘택홀(32)을 형성한다.

다른 한편으로, 도 5c를 참조하면, 상기 제1 콘택홀(32)을 한정하기 위하여 상기 상부 층간절연층(26) 상에 하드 마스크층을 형성한다. 상기 하드 마스크층은 고온산화층(HTO)과 같은 밀한(dense) 실리콘 산화층으로 형성하는 것이 바람직하다. 상기 마스크층을 통상의 사진/식각 공정을 사용하여 패터닝하여 상기 상부 층간절연층(26)의 소정영역을 노출시키는 예비 콘택홀을 갖는 마스크 패턴(28)을 형성한다. 통상의 스페이서 기술을 사용하여 상기 예비 콘택홀의 내측벽에 마스크 스페이서(30)를 형성한다. 상기 마스크 스페이서(30)는 상기 마스크층과 동일한 물질층으로 형성하는 것이 바람직하다.

상기 마스크 스페이서(30)는 상기 예비 콘택홀의 유효 폭을 좁게하여 상기 제1 및 제2 패드 플러그들(10a, 10b)을 노출시키기 위한 후속의 식각 단계를 실시하는 동안 상기 비트라인 패턴(22)을 구성하는 비트라인(19a)이 노출될 가능성을 감소시킨다. 다시 말해서, 상기 마스크 스페이서(30)는 상기 제1 콘택홀(32)의 크기를 감소시키는 데 유용하게 사용되어야 할 상기 마스크층을 패터닝하기 위한 사진공정시 오정렬이 발생하는 경우에 가시킨다. 이어서, 상기 마스크 패턴(28) 및 상기 마스크 스페이서(30)를 식각 마스크로 사용하여 상기 상부 층간절연층(26) 및 캐핑질연층(24)을 연속적으로 식각하여 상기 제1 및 제2 패드 플러그들(10a, 10b)의 제1 부분을 노출시키는 제1 콘택홀(32)을 형성한다. 이때, 상기 마스크 패턴(28) 및 마스크 스페이서(30)는 상기 제1 콘택홀(32)을 형성하는 동안 제거될 수 있다.

도 6를 참조하면, 상기 포토레지스트 패턴(27) 또는 상기 틀로우된 포토레지스트 패턴(27a)을 제거한 다음, 상기 제1 콘택홀(32)을 '습식식각 공정'을 사용하여 자기정렬 방식으로 확장시키아 제2 콘택홀(32a)을 형성한다. 이때, 상기 상부 층간절연층(26)은 등방성 식각되어 그 상부면이 낮아진다. 이에 따라, 축소된 상부 층간절연층(shrank upper Inter-layer Insulating layer; 26a)이 형성된다. 상기 '습식식각 공정'은 상기 비트라인 패턴(22)의 측벽 상의 상기 캐핑질연층(24)이 노출될 때까지 실시하는 것이 바람직하다. 특히, 상기 '습식식각 공정'은 상기 캐핑질연층(24)보다 상기 상부 층간절연층(26)을 선택적으로 훨씬 더 빠르게 식각하는 식각용액을 사용하여 실시하는 것이 바람직하다. 이때, 상기 캐핑질연층(24) 및 상부 층간절연층(26)이 각각 실리콘 질화층 및 실리콘 산화층으로 형성된 경우에 상기 '습식식각 공정'을 위한 식각용액으로는 물산(hydrofluoric acid; HF) 또는 완충산화막 식각용액(buffered oxide etchant; BOE)을 사용하는 것이 바람직하다.

상기 '습식식각 공정'을 실시하는 동안, 상기 캐핑질연층(24)은 식각저지층, 즉 상기 비트라인 패턴(24)의 측벽에 대한 보호층 역할을 한다. 상기 캐핑질연층(24)을 식각저지층으로 사용함으로써, 상기 제1 콘택홀(32)을 형성하기 위한 사진공정에서 오정렬이 발생할지라도 상기 제2 콘택홀(32a)은 비트라인 패턴(22)에 대하여 자기정렬 방식으로 형성할 수 있다. 계속해서, 상기 제2 콘택홀(32a)의 측벽에 통상의 방법을 사용하여 약 500 Å의 폭을 갖는 산화층 스페이서(34)를 형성한다. 이때, 상기 제2 콘택홀(32a)의 바닥에 상기 캐핑질연층(24)의 일 부분, 즉 캐핑질연층(24)의 틀출부(24a)가 노출될 수 있다. 상기 산화층 스페이서(34)는 고온산화층(HTO)과 같은 낮은 유전상수를 갖는 실리콘 산화층으로 형성하는 것이 바람직하다. 상기 산화층 스페이서(34)의 폭은 상기 제2 콘택홀(32a)의 폭에 따라 적절히 조절할 수 있다.

도 7를 참조하면, 상기 캐핑질연층(24)의 틀출부(24a)를 건식식각하여 상기 제1 콘택홀(32)에 의해 노출된 패드 플러그들(10a, 10b)의 제1 부분보다 더 넓은 제2 부분을 노출시킨다. 여기서, 상기 산화층 스페이서(34)를 도 5a 내지 도 5c에서 설명한 제1 콘택홀(32)을 형성하기 위한 건식식각 공정과 동일한 레서피를 사용하여 형성하는 경우에 상기 캐핑질연층(24)의 틀출부(24a)는 별도의 식각 공정을 사용하지 않고 용이하게 제거할 수 있다. (마찬가지로, 상기 산화층 스페이서(34)를 형성하는 단계 및 상기 틀출부(24a)를 식각하는 단계는 하나의 식각 레서피를 사용하여 인시투 공정으로 실시할 수 있다. 예외적으로, 상기 산화층 스페이서(34) 아래에는 상기 캐핑질연층(24)의 연장부(24b)가 잔존한다.

한편, 본 발명에 따르면, 상기 제1 콘택홀(32)을 형성하는 동안 상기 패드 플러그들(10a, 10b)이 노출되지 않을지라도, 상기 패드 플러그들(10a, 10b)의 제2 부분을 완전히 노출시키는 제2 콘택홀(32a)을 형성할 수 있다. 이는, 상기 제2 콘택홀(32a)을 형성하기 위한 '습식식각 공정'을 실시하는 동안 상기 제2 콘택홀(32a)의 바닥에 캐핑질연층(24)이 완전히 노출되고, 상기 노출된 캐핑질연층(24)은 상기 산화층 스페이서(34)를 형성하는 동안 쉽게 제거되기 때문이다. 결과적으로, 본 발명에 따르면, 상기 제1 콘택홀(32)을 형성하기 위한 건식식각 공정의 여유도를 증가시킬 수 있다.

계속해서, 상기 산화층 스페이서(34)의 내측벽 상에 식각저지 스페이서(36)를 추가로 형성할 수도 있다. 좀 더 구체적으로, 상기 캐핑질연층(24)의 틀출부(24a)가 제거된 결과를 전면에 50 Å 내지 100 Å의 얇은 식각저지층을 형성하고, 상기 식각저지층을 이방성 식각하여 상기 산화층 스페이서(34)의 내측벽 상에 상

가 식각저지 스페이서(34)를 형성한다. 상기 식각저지층은 산화물 식각용액에 대하여 높은 식각 선택비를 갖는 젤연체막, 예컨대 실리콘질화층 또는 실리콘 나이트라이드층으로 형성하는 것이 바람직하다. 한편, 상기 캐핑질연층(24)의 룹홀부(24a)는 상기 식각저지 스페이서(34)를 형성한 후에 연속적으로 제거할 수도 있다.

상기 식각저지 스페이서(36)가 형성된 결과물 전면에 상기 제2 콘택홀(32a)을 채우는 도우핑된 폴리실리콘층과 같은 도전층을 형성한다. 상기 도전층을 형성하기 전에 상기 제2 콘택홀(32a)에 의해 노출된 상기 패드 플러그들(10a, 10b)의 표면 상의 자연산화층 및 오염물질을 제거하기 위하여 습식 세정공정을 실시할 수도 있다. 상기 습식 세정공정은 일반적으로 수산화 암모니움(NH₄OH), 과산화수소(hydro-peroxide: H₂O₂) 및 탈마온수(de water)가 혼합된 세정용액과 원총산화물 식각용액(buffered oxide etchant: BOE)을 사용하여 실시한다. 이때, 상기 식각저지 스페이서(36)는 상기 습식 세정액에 대하여 높은 식각 선택비를 보인다. 따라서, 상기 산화층 스페이서(34)가 식각되는 현상을 방지할 수 있다.

계속해서, 상기 축소된 상부 층간질연층(26a)의 상부면이 노출될 때까지 상기 도전층을 에치백하여 상기 제2 콘택홀(32a) 내에 콘택 플러그(38)를 형성한다.

도 7를 다시 참조하면, 상기 콘택 플러그(38) 및 비트라인 패턴들(22) 사이에는 캐핑질연층(24), 산화층 스페이서(34) 및 식각저지 스페이서(36)가 개재된다. 여기서, 상기 캐핑질연층(24) 및 식각저지 스페이서(36)가 100 Å 미하의 매우 얇은 실리콘 질화층 또는 실리콘 옥시나이트라이드층으로 형성될지라도, 비트라인 패턴들(22)에 어떠한 손상도 주는 일 없이 자기점렬 콘택홀을 형성될 수 있다. 이에 따라, 캐핑질연층(24) 및 식각저지 스페이서(36) 사이에 적절한 폭을 갖는 산화층 스페이서(34)를 형성함으로써 콘택 플러그(38) 및 비트라인들(19a) 사이의 기생 카페시턴스를 현저히 감소시킬 수 있음은 물론, 콘택 저항을 최소화시키기가 용이하다.

설명의 흐름

상술한 바와 같이 본 발명에 따르면, 높은 식각선택비를 얻을 수 있는 습식 식각공정을 사용하여 좁은 콘택홀을 확장시킴으로써 오정렬에 대한 여유도는 물론 배선패턴들미 노출되는 현상을 방지할 수 있다. 이에 따라, 자기점렬 콘택기술의 신뢰성을 향상시킬 수 있다. 또한, 확장된 콘택홀의 측벽에 낮은 유전상수를 갖는 산화층 스페이서를 형성함으로써 자기점렬 콘택홀을 채우는 콘택 플러그 및 콘택 플러그의 양 옆을 지나는 배선을 사이의 기생 카페시턴스를 현저히 감소시킬 수 있다.

(57) 첨구의 범위

첨구항 1

기판 상에 복수개의 배선패턴들을 형성하는 단계;

상기 배선패턴들의 표면 및 상기 기판의 표면을 묵는 캐핑질연층을 형성하는 단계;

상기 캐핑질연층 상에 상기 배선패턴들 사이의 간 영역을 채우는 상부 층간질연층을 형성하는 단계;

상기 상부 층간질연층 및 상기 캐핑질연층을 연속적으로 패터닝하여 상기 배선 패턴들 사이에 제1 콘택홀을 형성하는 단계; 및

상기 상부 층간질연층을 선택적으로 습식식각함으로써 상기 제1 콘택홀을 확장시키며 상기 배선패턴들의 측벽 상의 상기 캐핑질연층을 노출시키는 제2 콘택홀을 형성하는 단계를 포함하는 자기점렬 콘택 구조체의 형성방법.

첨구항 2

제 1 항에 있어서,

상기 배선패턴들을 형성하는 단계 전에

상기 기판 상에 하부 층간질연층을 형성하는 단계;

상기 하부 층간질연층을 패터닝하여 상기 기판의 소정영역을 노출시키는 패드 콘택홀을 형성하는 단계; 및

상기 패드 콘택홀 내에 패드 플러그를 형성하는 단계를 더 포함하되, 상기 제1 콘택홀을 형성하는 단계는 상기 상부 층간질연층 및 상기 캐핑질연층을 연속적으로 패터닝하여 상기 패드 플러그의 일 부분을 노출시키는 것을 특징으로 하는 자기점렬 콘택 구조체의 형성방법.

첨구항 3

제 1 항에 있어서,

상기 배선 패턴들을 형성하는 단계는

상기 기판 상에 절연층, 도전층 및 보호층 차례로 형성하는 단계; 및

상기 보호층, 상기 도전층 및 상기 절연층을 연속적으로 패터닝하여 상기 기판의 소정영역을 노출시키는 단계를 포함하는 것을 특징으로 하는 자기점렬 콘택 구조체의 형성방법.

첨구항 4

제 3 항에 있어서,

상기 도전층은 도우팅된 폴리실리콘층 및 금속 실리사이드층을 차례로 적층시키어 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 5.

제 3 항에 있어서,

상기 보호층은 실리콘 산화층, 실리콘 질화층 또는 실리콘 옥시니미트라이드층으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 6.

제 1 항에 있어서,

상기 캐핑질연층은 실리콘 질화층 또는 실리콘 옥시니미트라이드층으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 7.

제 1 항에 있어서,

상기 상부 층간질연층은 실리콘 산화층으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 8.

제 1 항에 있어서,

상기 제1 콘택홀을 형성하는 단계는

상기 상부 층간질연층 상에 상기 상부 층간질연층의 소정영역을 노출시키는 예비 콘택홀을 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 상부 층간질연층 및 상기 캐핑질연층을 연속적으로 건식식각하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 9.

제 8 항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계 후에

상기 포토레지스트 패턴을 풀로우시키며 상기 예비 콘택홀의 직경을 감소시키는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 10.

제 1 항에 있어서,

상기 제1 콘택홀을 형성하는 단계는

상기 상부 층간질연층 상에 상기 상부 층간질연층의 소정영역을 노출시키는 예비 콘택홀을 갖는 마스크 패턴을 형성하는 단계;

상기 예비 콘택홀의 내측벽 상에 마스크 스페이서를 형성하는 단계; 및

상기 마스크 패턴 및 상기 마스크 스페이서를 식각 마스크로 사용하여 상기 상부 층간질연층 및 상기 캐핑질연층을 연속적으로 건식식각하는 단계를 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 11.

제 10 항에 있어서,

상기 마스크 패턴 및 상기 마스크 스페이서는 실리콘 산화층으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 12.

제 1 항에 있어서,

상기 제2 콘택홀을 형성하는 단계 후에

상기 제2 콘택홀의 측벽에 산화층 스페이서를 형성하는 단계;

상기 산화층 스페이서가 형성된 결과물의 상기 제2 콘택홀의 바닥에 노출되는 상기 캐핑질연층의 둘레부를 건식식각하여 상기 산화층 스페이서 아래에 상기 캐핑질연층의 연장부를 잔존시키는 단계; 및

상기 산화층 스페이서에 의해 둘러싸여진 상기 제2 콘택홀 내부를 채우는 콘택 플리그를 형성하는 단계를

더 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 13

제 12 항에 있어서,

상기 산화층 스페이서는 고온산화층(HTO)으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 14

제 12 항에 있어서,

상기 콘택 플러그를 형성하는 단계 전에

상기 산화층 스페이서의 내측벽 상에 식각저지 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 15

제 14 항에 있어서,

상기 식각저지 스페이서는 실리콘 절화층 또는 실리콘 옥시나이트라이드층으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 16

반도체기판 상에 하부 층간절연층을 형성하는 단계;

상기 하부 층간절연층의 소정영역을 관통하되, 상기 반도체기판의 소정영역과 접촉하는 패드 플러그를 형성하는 단계;

상기 패드 플러그가 형성된 결과를 상에 서로 인접한 제1 및 제2 비트라인 패턴들을 형성하는 단계;

상기 패드 플러그의 표면 및 상기 제1 및 제2 비트라인 패턴들의 표면을 덮는 캐핑절연층을 형성하는 단계;

상기 캐핑절연층 상에 상기 제1 및 제2 비트라인 패턴 사이의 간 영역을 채우는 상부 층간절연층을 형성하는 단계;

상기 제1 및 제2 비트라인 패턴 사이의 상기 상부 층간절연층 및 상기 캐핑절연층을 연속적으로 패터닝 하여 상기 패드 플러그의 제1 부분을 노출시키는 제1 콘택홀을 형성하는 단계;

상기 상부 층간절연층을 선택적으로 습식식각층으로써 상기 제1 콘택홀을 확장시키며 상기 제1 및 제2 비트라인 패턴들의 흑벽 상의 상기 캐핑절연층을 노출시키는 제2 콘택홀을 형성하는 단계;

상기 제2 콘택홀의 내측벽 상에 산화층 스페이서를 형성하는 단계; 및

상기 산화층 스페이서에 의해 둘러싸여진 상기 제2 콘택홀의 바닥에 노출된 상기 캐핑절연층의 릴레이부를 건식식각하여 상기 제1 부분보다 넓은 상기 패드 플러그의 제2 부분을 노출시킴과 동시에 상기 산화층 스페이서 아래에 상기 캐핑절연층의 연장부를 잔존시키는 단계를 포함하는 자기정렬 콘택 구조체의 형성방법.

청구항 17

제 16 항에 있어서,

상기 하부 층간절연층 및 상기 상부 층간절연층은 BPSO층, PSO층, 인도우프트 산화층(USG) 또는 고온산화층(HTO)으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 18

제 16 항에 있어서,

상기 제1 및 제2 비트라인 패턴들을 형성하는 단계는

상기 패드 플러그가 형성된 결과를 전면에 실리콘 산화층, 도우핑된 폴리실리콘층, 텁스텐 실리사이드층 및 보호층을 차례로 형성하는 단계; 및

상기 보호층, 상기 텁스텐 실리사이드층, 상기 도우핑된 폴리실리콘층 및 상기 실리콘 산화층을 연속적으로 패터닝하여 상기 패드 플러그의 양 옆에 차례로 적층된 실리콘 산화층 패턴, 폴리실리콘 패턴, 텁스텐 실리사이드 패턴 및 보호층 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 19

제 18 항에 있어서,

상기 보호층은 실리콘 절화층, 실리콘 옥시나이트라이드층 또는 실리콘 산화층인 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 20

제 16 항에 있어서,

상기 캐핑절연층은 실리콘 절화층 또는 실리콘 옥시나이트라이드층으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 21

제 16 항에 있어서,

상기 제1 콘택홀을 형성하는 단계는

상기 상부 층간절연층 상에 상기 상부 층간절연층의 소정영역을 노출시키는 예비 콘택홀을 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 상부 층간절연층 및 상기 캐핑절연층을 연속적으로 건식식각하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 22

제 21 항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계 후에

상기 포토레지스트 패턴을 풀로우시키며 상기 예비 콘택홀의 직경을 감소시키는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 23

제 16 항에 있어서,

상기 제1 콘택홀을 형성하는 단계는

상기 상부 층간절연층 상에 상기 상부 층간절연층의 소정영역을 노출시키는 예비 콘택홀을 갖는 마스크 패턴을 형성하는 단계;

상기 예비 콘택홀의 내측벽 상에 마스크 스페이서를 형성하는 단계; 및

상기 마스크 패턴 및 상기 마스크 스페이서를 식각 마스크로 사용하여 상기 상부 층간절연층 및 상기 캐핑절연층을 연속적으로 건식식각하는 단계를 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 24

제 23 항에 있어서,

상기 마스크 패턴 및 상기 마스크 스페이서는 고온산화층(HTO)으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 25

제 17 항에 있어서,

상기 층간절연층 선택적으로 습식 식각하는 공정은 블산 용액(hydrofluoric acid; HF) 또는 완충 산화막 식각용액(buffered oxide etchant; BOE)를 사용하여 실시하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 26

제 16 항에 있어서,

상기 산화층 스페이서는 고온산화층(HTO)으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 27

제 16 항에 있어서,

상기 산화층 스페이서를 형성하는 단계 및 상기 캐핑층의 둘째부를 건식 식각하는 단계는 인시투 공정을 사용하여 실시하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 28

제 27 항에 있어서,

상기 인시투 공정은 CF_x 가스 또는 ArF_x 가스를 식각 가스로 사용하여 실시하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 29

제 16 항에 있어서,

상기 캐핑절연층의 둘출부를 건식식각하는 단계 후에

상기 제2 콘택을 내부를 채우는 콘택 플리그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 30

제 29 항에 있어서,

상기 콘택 플리그를 형성하는 단계 전에

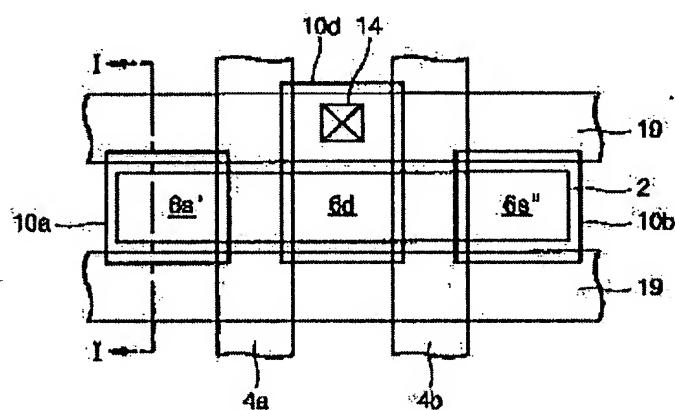
상기 산화층, 스페이서의 내측벽, 상에 식각저지 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

청구항 31

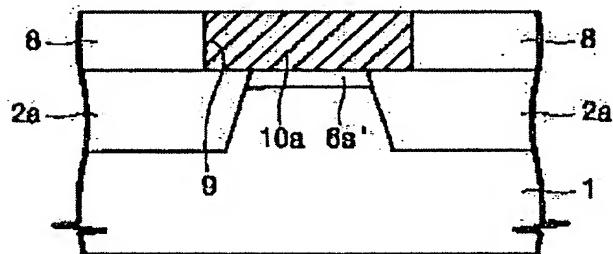
제 30 항에 있어서,

상기 식각저지 스페이서는 실리콘 절화층 또는 실리콘 육시나이트라이드층으로 형성하는 것을 특징으로 하는 자기정렬 콘택 구조체의 형성방법.

도면1



도면2



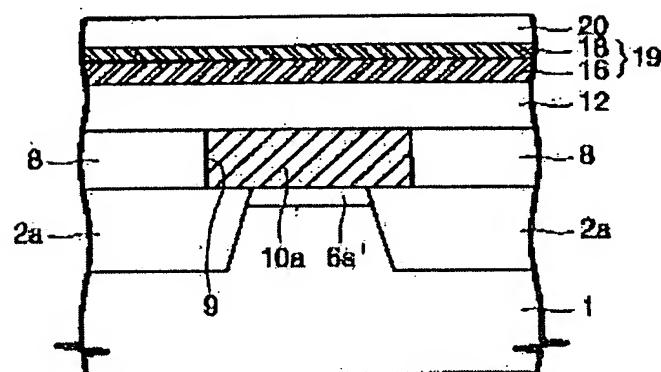
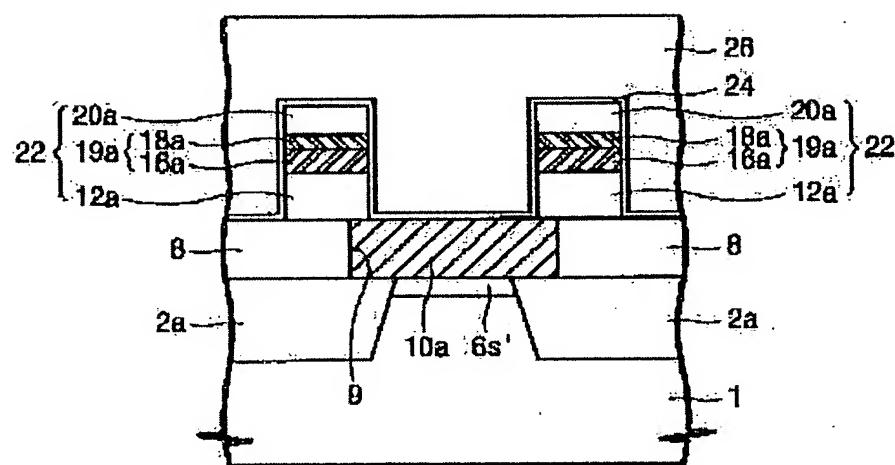
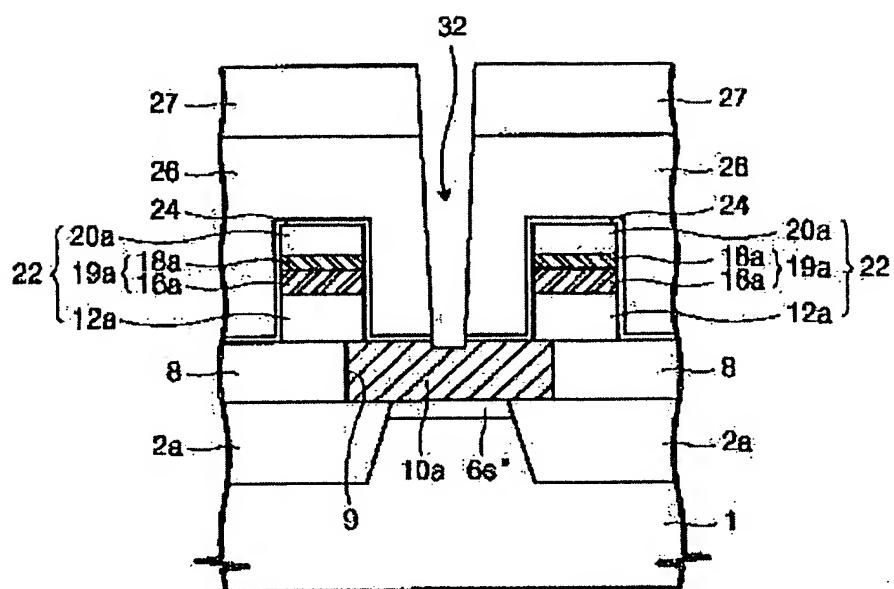
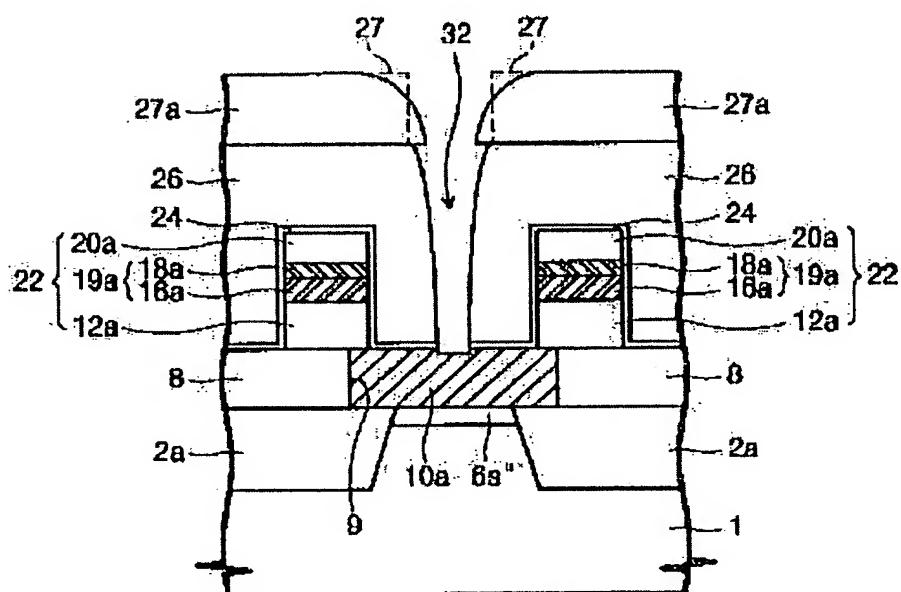
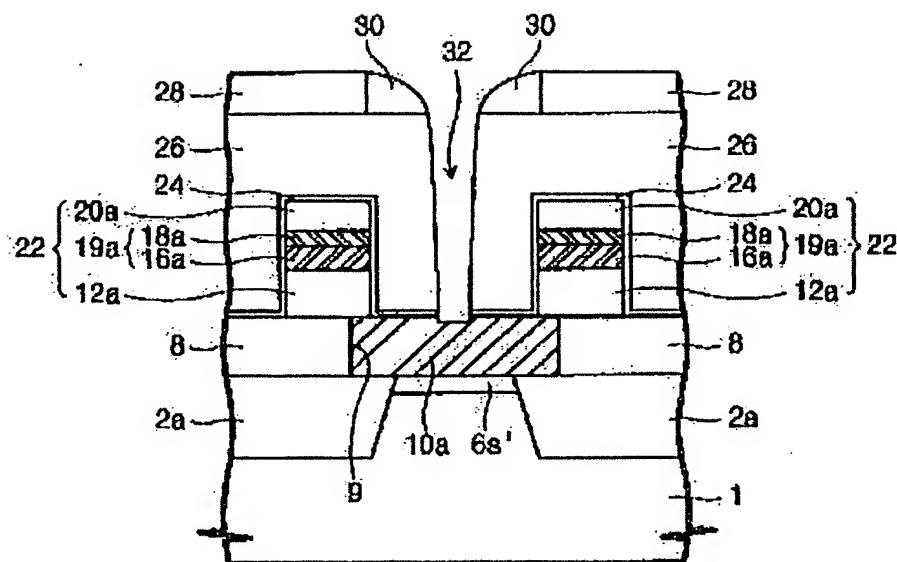
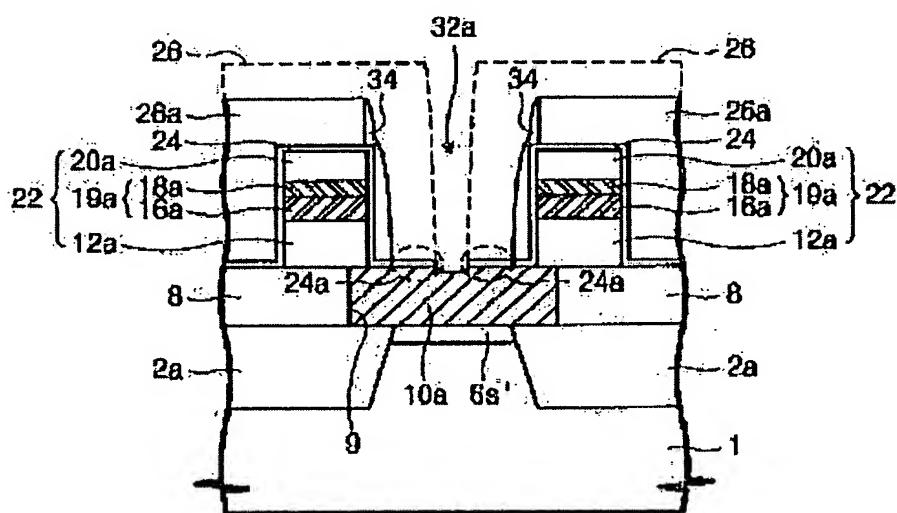
~~FIG3~~~~FIG4~~

Fig 5a*Fig 5b*

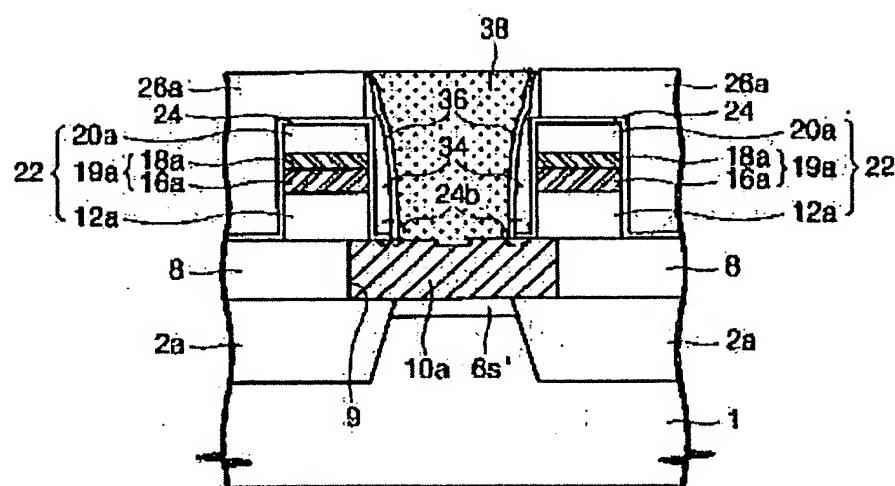
E05



E06



587



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.